บทที่ 7

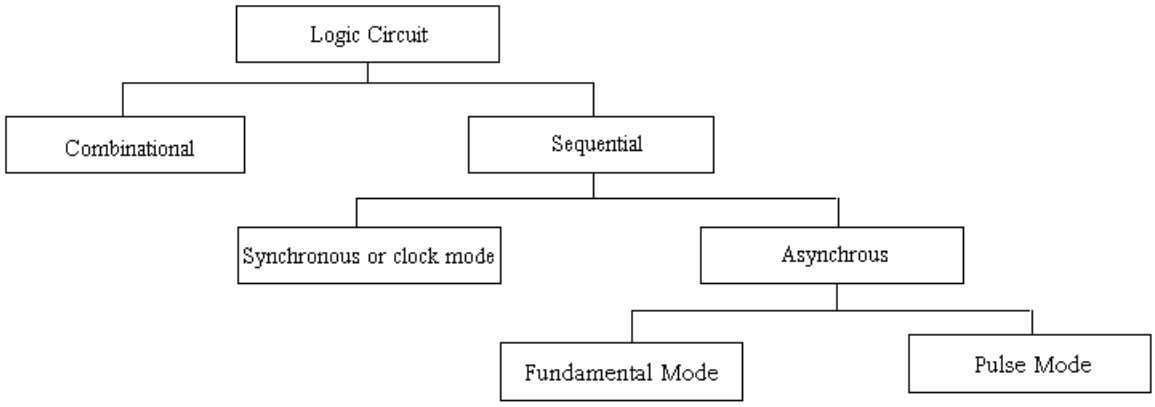
วงจรซีเควนเชียล (Sequential Logic Circuit)

วัตถุประสงค์

- เพื่อให้มีความรู้และความเข้าใจเกี่ยวกับวงจรซีเควนเชียลและอุปกรณ์ที่ใช้ในวงจร
- เพื่อให้สามารถใช้เครื่องมือสำหรับวิเคราะห์และออกแบบวงจรซีเควนเชียลได้

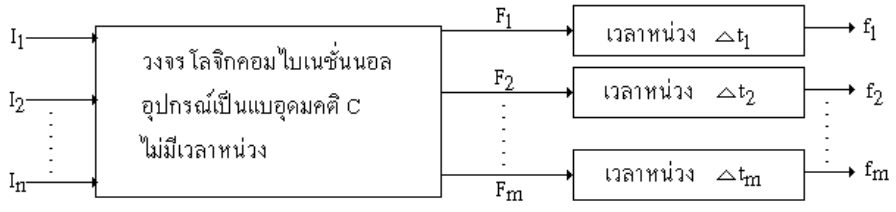
7.1 บทนำ

วงจรโลจิกทั้งหมดสามารถจะจัดแบ่งได้เป็น 2 ประเภท คือ วงจรคอมไบเนชั่นนอล และวงจรซีเควนเชียล ตามรูปที่ 7.1 ลักษณะของวงจรคอมไบเนชั่นนอลนั้นสัญญาณเอาท์พุทจะขึ้นอยู่กับสัญญาณอินพุทเพียงอย่างเดียว แต่ลักษณะของวงจรซีเควนเชียลสัญญาณเอาท์พุทจะขึ้นอยู่กับสัญญาณอินพุท และค่าสัญญาณเอาท์พุทเดิม ในส่วนของวงจรซีเควนเชียลนี้ ยังแบ่งได้เป็น 2 ประเภทคือ หนึ่งวงจร Synchronous หรือ Clock mode สองวงจร Asynchronous ซึ่งจะกล่าวถึงรายละเอียดในบทต่อไป



รูปที่ 7-1 การจำแนกวงจรโลจิก

7.1.1 วงจรคอมไบเนชั่นนอล



$F_1 = F_1(I_1, I2, \ldots I_n)$ $f_1 = F_1$ ที่ผ่านเวลาหน่วง $\triangle t_1$

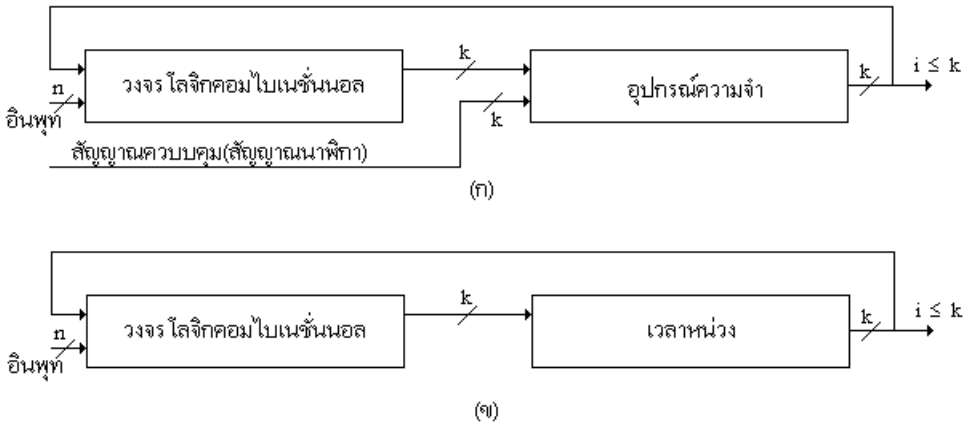
$F_2 = F_2(I_1, I_2, \ldots I_n)$ $f_2 = F_2$ ที่ผ่านเวลาหน่วง $\triangle t_2$

$F_m = F_m(I_1, I_2, \ldots I_n)$ $f_m = F_m$ที่ผ่านเวลาหน่วง $\triangle t_m$

รูปที่ 7-2 แผนผังบล็อกของวงจรโลจิกแบบคอมไบเนชั่นนอล

ตามรูปที่ 7-2 แสดงแผนผังบล็อกของวงจรโลจิกแบบคอมไบเนชั่นอล สัญญาณเอาท์พุท F_1, F_2, … ,F_m ขึ้นอยู่กับสัญญาณอินพุท I_1, I_2, …,I_n คือ $F_1(I_1, I_2, …,I_n)$,…,$F_m(I_1, I_2, …,I_n)$ โดยวงจรจะไม่มีเวลาหน่วง หลังจากที่ผ่านเวลาหน่วง Δt_1, Δt_2,..., Δt_m จะได้เป็นสัญญาณเอาท์พุท f_1, f_2,…,f_m จะหมายถึงเวลาหน่วงของสัญญาณตั้งแต่ที่มีสัญญาณเข้าที่อินพุทจนกระทั่งปรากฏสัญญาณที่เอาท์พุท

7.1.2 วงจรซีเควนเชียล



รูปที่ 7-3 แผนผังบล็อกของวงจรซีเควนเชียล (ก) แบบซิงโครนัส (ข) แบบอะซิงโครนัส

วงจรโลจิกแบบซีเควนเชียลแบ่งออกเป็น 2 แบบ คือซิงโครนัสและอะซิงโคนัส โดยมี แผนผังบล็อกตามรูปที่ 7-3 จะเห็นได้ว่าสัญญาณเอาท์พุทจะเกิดจากสัญญาณอินพุทจากภายนอกกับสัญญาณเอาท์พุทเดิมที่ป้อนกลับมาในกรณีของวงจรแบบซิงโครนัสจะมีสัญญาณควบคุม(สัญญาณนาฬิกา) เป็นส่วนควบคุมอุปกรณ์ความจำให้ทำไปพร้อมๆกัน ส่วนวงจรแบบอะซิงโครนัสจะไม่ต้องใช้สัญญาณนาฬิกา

7.2 ฟลิปฟลอป (Flip-flop)

อุปกรณ์ความจำหรืออุปกรณ์ที่สามารถเก็บสถานะทางโลจิกได้ เป็นอุปกรณ์พื้นฐานสำหรับวงจรซีเควนเชียล อุปกรณ์พื้นฐานตัวนี้มีสถานะเพียง **2** สถานะทั่วๆไปเรียกว่า **“bistable** หรือ **Flip Flop”**

7.2.1 ฟลิปฟลอปแบบ RS (RS Flip-flop)

ฟลิบฟลอปแบบ RS เป็นฟลิปฟลอปแบบที่ง่ายที่สุด ประกอบด้วยสัญญาณอินพุท R สัญญาณอินพุท S สัญญาณเอาท์พุท Q และ $\overline{Q}$ สัญญาณอินพุท R มีหน้าที่ทำให้เอาท์พุท Q เป็น 0 และ สัญญาณอินพุท S มีหน้าที่ทำให้เอาท์พุท Q เป็น 1 ลักษณะของวงจรสร้างได้จากเกต NOR หรือเกต NAND ก็ได้ ดังรูปที่ 7-4 และ 7-5

รูปที่ 7-4 (ก) และ (ข) เป็นไดอะแกรมโลจิกหรือวงจรฟลิปฟลอปแบบ RS ที่สร้างจากเกต NOR รูป 7-4 (ค) เป็นสัญลักษณ์ของฟลิปฟลอปแบบ RS การทำงานของวงจรขึ้นอยู่กับสัญญาณอินพุท R และ S ถ้าสัญญาณใดสัญญาณหนึ่งเป็นโลจิก 1 สัญญาณนั้นจะเป็นตัวกำหนดค่าเอาท์พุท Q เช่นถ้า S เป็น 1 และ R เป็น 0 ก็เป็นการเซ็ต ให้เอาท์พุท Q เป็น 1 แต่ถ้า S เป็น 0 แล้ว R เป็น 1 จะเป็นการรีเซ็ตเอาท์พุท Q ให้เป็น 0

แต่ถ้าเป็น 0 ทั้งคู่ สัญญาณเอาท์พุท Q จะคงเดิมไม่เปลี่ยนแปลง สภาวะนี้ใช้เป็นสภาวะการจำข้อมูลของอุปกรณ์ เราใช้สภาวะนี้สำหรับให้อุปกรณ์จดจำข้อมูลเดิม ส่วนสภาวะสุดท้ายที่ R และ S เป็น 1 ทั้งคู่ เป็นสภาวะที่จะไม่นำมาใช้งานเพราะว่าการทำงานของวงจรจะไม่เหมือนกัน เมื่อเปลี่ยนเกตที่นำมาสร้างฟลิปฟลอป ดังนั้นจึงไม่สามารถจะทำนายการทำงานของวงจรได้ เงื่อนไขนี้เรียกว่า “Race condition” ไดอะแกรมเวลาและตารางการทำงานของวงจรแสดงอยู่ในรูปที่ 7-4 (ง) และ (จ) ตามลำดับ

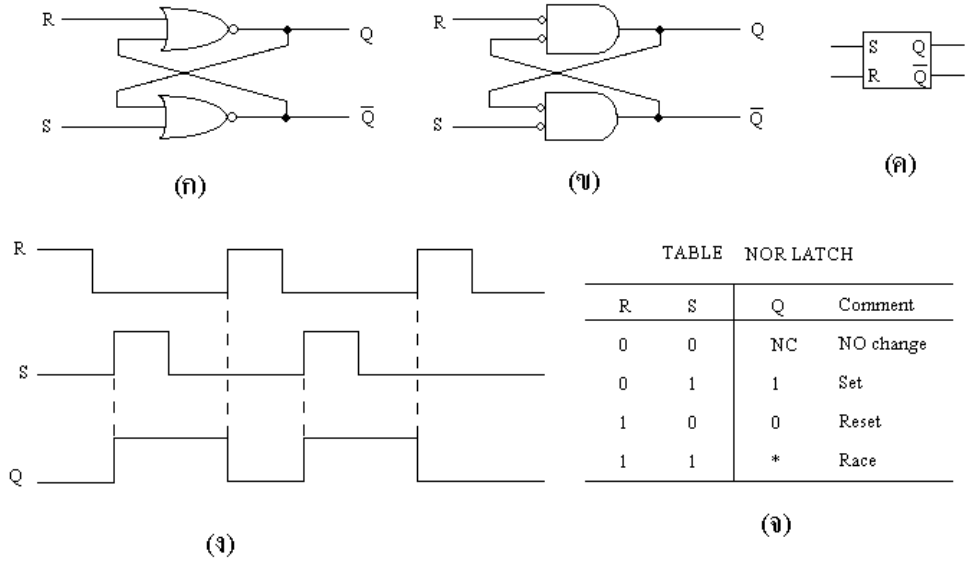


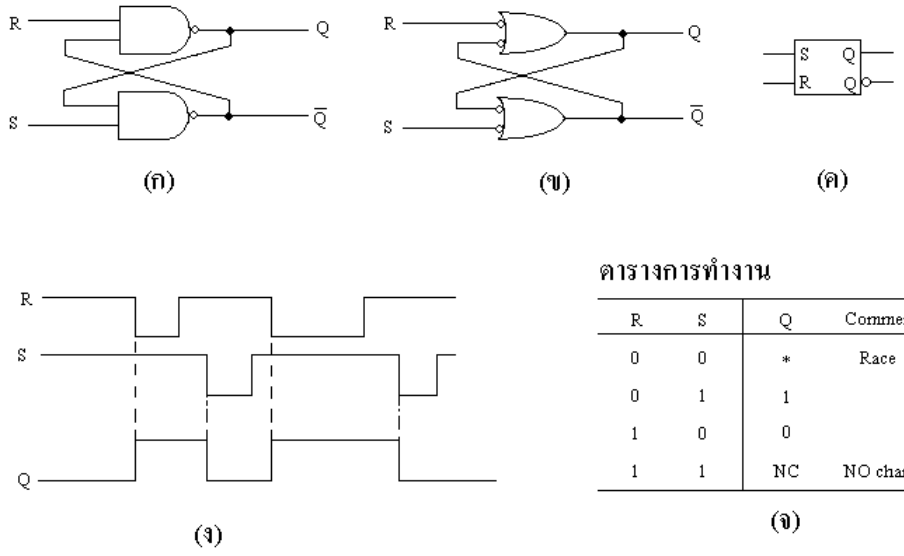
TABLE NOR LATCH

R	S	Q	Comment
0	0	NC	NO change
0	1	1	Set
1	0	0	Reset
1	1	*	Race

(จ)

รูปที่ 7-4 ฟลิปฟลอปแบบ RS สร้างจากเกต NOR

สำหรับฟลิปฟลอปแบบ RS ที่สร้างจากเกต NAND ก็มีการทำงานเช่นเดียวกับฟลิปฟลอปแบบ RS ที่สร้างจากเกต NOR แต่แตกต่างกันในสภาวะเก็บข้อมูล กรณีที่ใช้เกต NAND สภาวะที่ข้อมูลไม่เปลี่ยนจะเกิดเมื่ออินพุท R และ S เป็น 1 ทั้งคู่ ส่วนสภาวะ Race จะเกิดเมื่ออินพุทเป็น 0 ทั้งคู่ ตามตารางการทำงานในรูปที่ 7-5 (จ)



ตารางการทำงาน

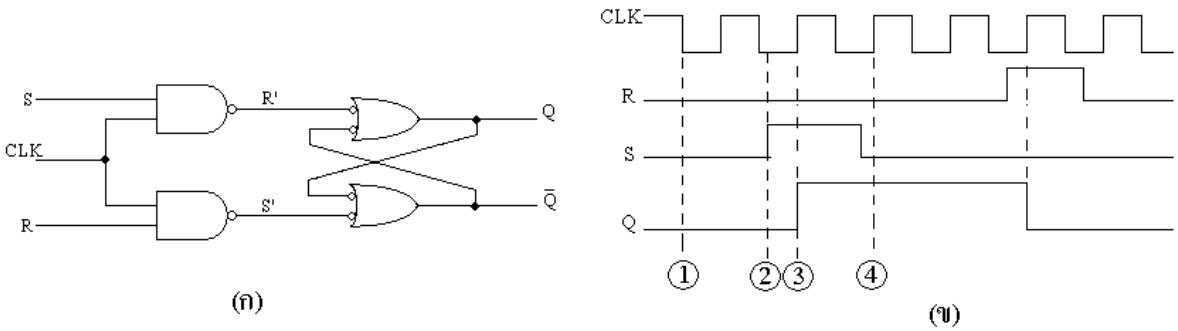
R	S	Q	Comment
0	0	*	Race
0	1	1	
1	0	0	
1	1	NC	NO change

(จ)

รูปที่ 7-5 ฟลิปฟลอปแบบ RS สร้างจากเกต NAND

ฟลิปฟลอปแบบ RS ชนิดมีสัญญาณนาฬิกาควบคุม

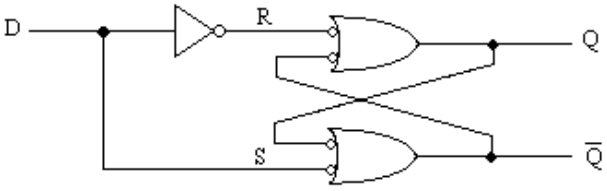
เนื่องจากในวงจรซีเควนเชียลจะใช้ฟลิปฟลอป เป็นจำนวนมาก ดังนั้นเพื่อให้การทำงานของ ฟลิปฟลอปทุกตัวทำงานประสานกันดีขึ้น จึงมีการเพิ่มสัญญาณควบคุมขึ้น สัญญาณนี้เรียกว่าสัญญาณนาฬิกา (clock) ตามรูปที่ 7-6 (ก) เป็นฟลิปฟลอปแบบ RS ชนิดมีสัญญาณนาฬิกาควบคุมคือ CLK เมื่อสัญญาณอินพุท R และ S มีการเปลี่ยนแปลง สัญญาณเอาท์พุท Q ยังไม่เปลี่ยน จะรอจนกว่า สัญญาณนาฬิกาเป็น 1 ตามรูปที่ 7-6 (ข) ณ ช่วงเวลาที่ 1 ถึง 2 สัญญาณเอาท์พุท Q ไม่เปลี่ยนแปลงไม่ว่า CLK จะเป็น 0 หรือ 1 เพราะว่าอินพุท R และ S เป็น 0 ทั้งคู่ เมื่อถึงเวลาตำแหน่งที่ 2 S เปลี่ยนจาก 0 ไปเป็น 1 ซึ่งเป็นการทำงานเซ็ตเอาท์พุท แต่ขณะนี้ CLK ยังเป็น 0 อยู่ Q จึงยังไม่เปลี่ยนแปลง Q จะกลายเป็น 1 เมื่อ CLK เป็น 1 ตรงเวลาตำแหน่งที่ 3 และเช่นเดียวกับเวลาที่ 1 ตรงเวลาที่ 4 R และ S เป็น 0 ทั้งคู่ ฟลิบฟลอปจึงอยู่ในสภาวะเก็บข้อมูล



รูปที่ 7-6 ฟลิปฟลอปแบบ RS ชนิดมีสัญญาณนาฬิกาควบคุม

7.2.2 ฟลิปฟลอปแบบ D (D Flip-flop)

เพื่อแก้ปัญหาสภาวะ Race ของฟลิปฟลอปแบบ RS เมื่อปรับปรุงวงจรเป็นไปตามรูปที่ 7-7 (ก) ทำให้ R และ S ไม่มีโอกาสเป็น 0 พร้อมกัน สภาวะ race ก็ไม่เกิดขึ้น การทำงานของวงจร สัญญาณเอาท์พุท Q จะมีค่าเหมือนกับ D ตามตารางการทำงานในรูปที่ 7-7 (ข)



D	R	S	Q
0	1	0	0
1	0	1	1

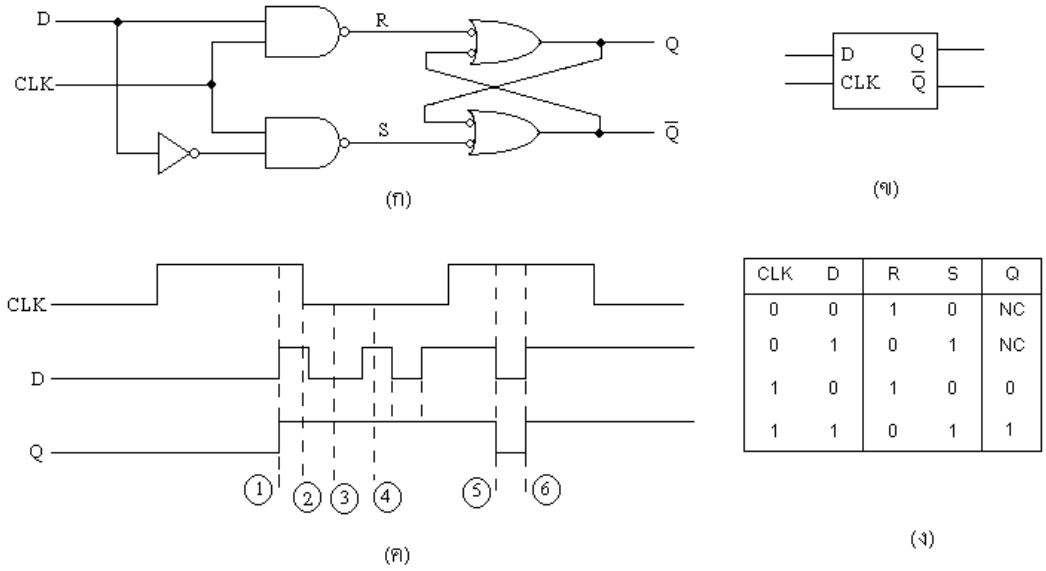
(ข)

รูปที่ 7-7 ฟลิปฟลอปแบบ D

ฟลิปฟลอปแบบ D ชนิดมีสัญญาณนาฬิกาควบคุม

ในทำนองเดียวกับฟลิปฟลอปแบบ RS เมื่อเพิ่มสัญญาณนาฬิกาควบคุม ทำให้เอาท์พุท Q ขึ้นอยู่กับอินพุท D แต่สัญญาณนาฬิกา CLK ต้องเป็น 1 ถ้าสัญญาณนาฬิกาเป็น 0 เอาท์พุท Q จะคงค่าเดิมไม่

เปลี่ยนแปลง จากไดอะแกรมเวลาในรูปที่ 7-8 (ค) ตำแหน่งที่ 1 5 และ 6 สัญญาณนาฬิกาเป็น 1 เมื่อ D เปลี่ยนแปลง Q จะเปลี่ยนตาม แต่ในตำแหน่งที่ 3 และ 4 สัญญาณนาฬิกาเป็น 0 สัญญาณ D จะเปลี่ยนไปอย่างไร Q ยังคงค่าเดิมตลอด จากการทำงานนี้เขียนเป็นตารางการทำงานได้ตามรูปที่ 7-8 (ง)

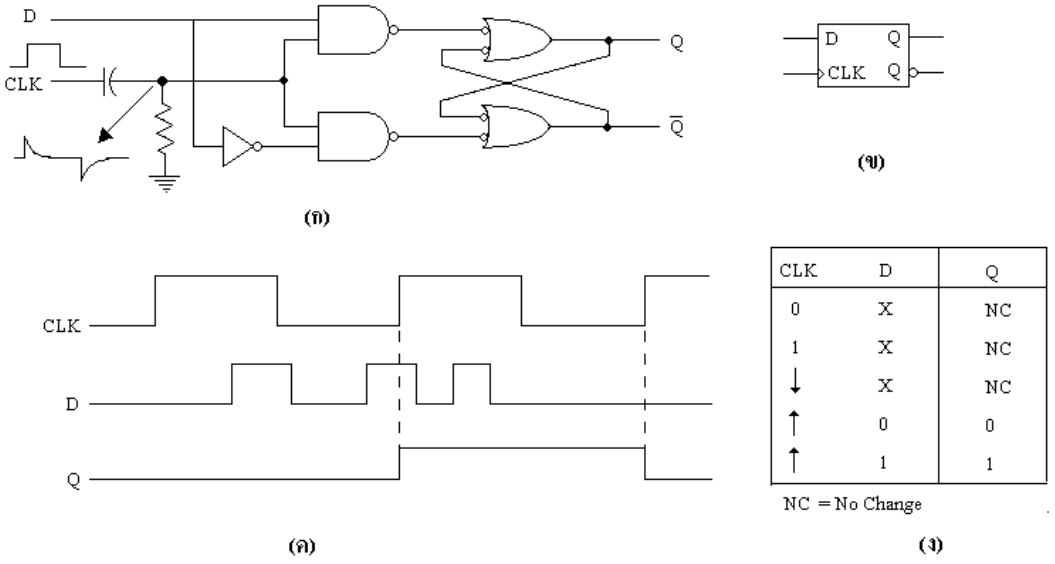


CLK	D	R	S	Q
0	0	1	0	NC
0	1	0	1	NC
1	0	1	0	0
1	1	0	1	1

รูปที่ 7-8 ฟลิปฟลอปแบบ D ชนิดมีสัญญาณนาฬิกาควบคุม (ก) วงจร (ข) สัญลักษณ์

ฟลิปฟลอปแบบ D ชนิดควบคุมด้วยขอบของสัญญาณนาฬิกา

ถ้าต้องการให้สัญญาณนาฬิกาควบคุมการทำงานของฟลิปฟลอปแบบ D ในลักษณะที่เมื่อมีสัญญาณนาฬิกามา 1 ไซเคิลจะยอมให้เกิดการเปลี่ยนแปลงของ Q เพียง 1 ครั้ง วงจรฟลิปฟลอปตามรูปที่ 7-8 (ก) ไม่สามารถทำได้ ดังจะเห็นได้จากไดอะแกรมเวลาในรูปที่ 7-8 (ค) ตามตำแหน่งที่ 5 และ 6



CLK	D	Q
0	X	NC
1	X	NC
↓	X	NC
↑	0	0
↑	1	1

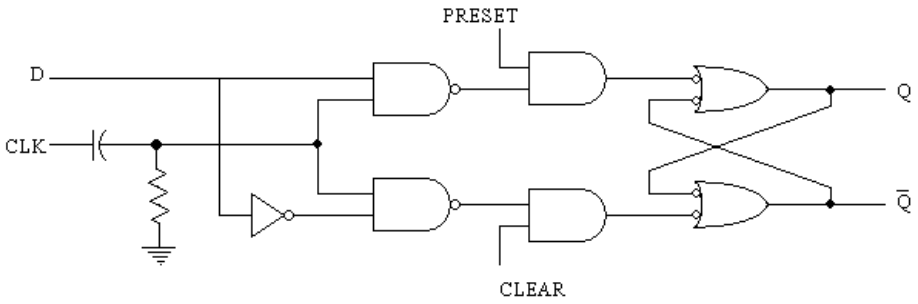
NC = No Change

รูปที่ 7-9 ฟลิปฟลอปแบบ D ชนิดควบคุมด้วยขอบของสัญญาณนาฬิกา (ก) วงจร (ข) สัญลักษณ์

การใช้วงจรตามรูปที่ 7-9 (ก) เมื่อเพิ่มวงจร RC เข้าไปในส่วนของสัญญาณนาฬิกา ด้วยคุณสมบัติของวงจร RC ทำให้สัญญาณนาฬิกาที่มีรูปร่างเป็นพลัซ์กลายเป็นสัญญาณสไปค์ (Spike) ป้อนให้แก่อินพุทของเกต NAND ดังนั้นอินพุทของ NAND จะได้รับโลจิก 1 เพียงชั่วขณะ ในเวลาที่ CLK เปลี่ยนจากโลจิก 0 ไปเป็น 1 เท่านั้น เพราะว่าช่วงนี้เท่านั้นที่ระดับแรงดันของสไปค์ จะสูงพอที่มีค่าเป็น 1 ส่วนช่วงอื่นระดับแรงดันมีค่าต่ำ เป็นโลจิก 0 ดังนั้นในทุกๆ 1 ไซเคิลของสัญญาณนาฬิกาจะมีผลทำให้ Q เปลี่ยนแปลงค่าเพียง 1 ครั้งเท่านั้น การกระตุ้นการทำงานของฟลิปฟลอปแบบนี้เรียกว่า การกระตุ้นด้วยขอบบวก (Positive Edge) แต่ถ้าเพิ่มเกต NOT เข้าที่ CLK ก่อนเข้าวงจร RC ก็จะเป็นการกระตุ้นด้วยขอบลบ (Negative Edge) คือช่วงที่สัญญาณเปลี่ยนจากโลจิก 1 ไปเป็น 0 สัญลักษณ์ ไดอะแกรมเวลา และตารางการทำงานแสดงอยู่ในรูปที่ 7-9 (ข) (ค) และ (ง) ตามลำดับ

ฟลิปฟลอปแบบ D ชนิดมีสัญญาณควบคุมพรีเซ็ตและเคลียร์ (Preset and Clear)

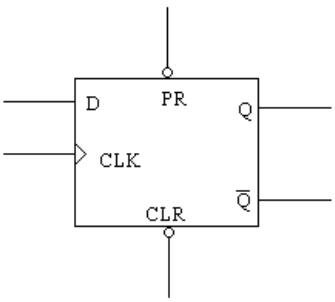
วงจรชนิดนี้เพิ่มสัญญาณควบคุมการเซ็ตและการเคลียร์ ถ้าสัญญาณ Preset เป็น 0 และ Clear เป็น 1 จะทำให้ Q เป็น 1 โดยไม่สนใจว่า D กับ CLK จะเป็นอะไร ในทำนองเดียวกัน ถ้า Clear เป็น 0 และPreset เป็น 1 จะทำให้ Q เป็น 0 โดยไม่สนใจว่า D กับ CLK จะเป็นอะไรเช่นกัน แต่ถ้าเป็น 1 ทั้งคู่ Q จะขึ้นอยู่กับ D



(ก)

Preset	Clear	CLK	D	Q
0	0	X	X	*
0	1	X	X	1
1	0	X	X	0
1	1	0	X	NC
1	1	1	X	NC
1	1	↓	X	NC
1	1	↑	0	0
1	1	↑	1	1

(ข)



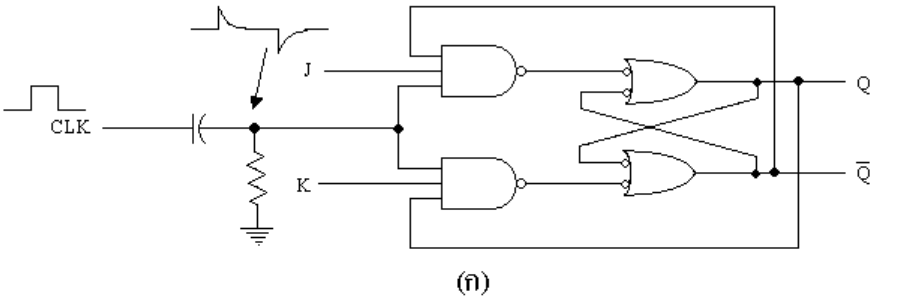
(ค)

รูปที่ 7-10 ฟลิปฟลอปแบบ D ชนิดมีสัญญาณควบคุมพรีเซ็ตและเคลียร์ (ก) วงจร (ข) ตารางการทำงาน และ (ค) สัญลักษณ์

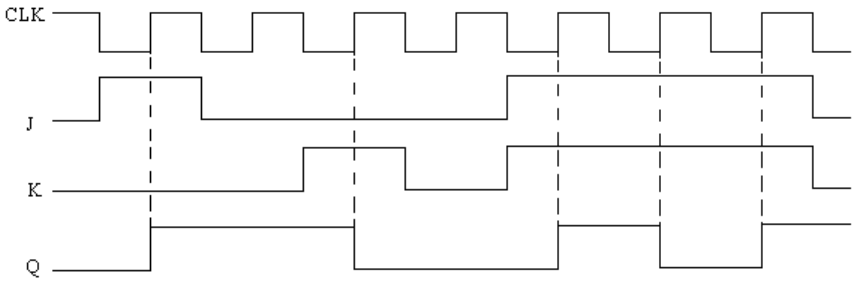
และ CLK เหมือนกับฟลิปฟลอปแบบ D ที่ได้กล่าวมาแล้ว สรุป Preset เป็นสัญญาณใช้ทำให้ Q เป็น 1 ทันที และ Clear ก็ใช้ทำให้ Q เป็น 0 ทันที ส่วนใหญ่จะใช้สัญญาณทั้งสองนี้สำหรับการกำหนดค่าเริ่มต้นให้กับฟลิปฟลอปก่อนที่จะทำงานตามปกติ และการที่สัญญาณทั้งสองทำงานเมื่อได้รับโลจิก 0 จึงกล่าวได้ว่าสัญญาณ Preset และ Clear ทั้งสองนี้แอคทีฟ 0 ดังแสดงด้วยสัญลักษณ์ในรูป 7-10 (ค) ข้อควรระวังจะต้องไม่ให้ Preset และ Clear เป็น 0 พร้อมกันเพราะว่าไม่สามารถจะกำหนดได้ว่า Q จะเป็นอะไร

7.2.3 ฟลิปฟลอปแบบ JK (JK Flip-flop)

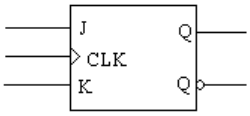
ฟลิปฟลอบแบบนี้การทำงานจะขึ้นอยู่กับเอาท์พุท Q อินพุท J K และ ขอบบวกของสัญญาณนาฬิกา CLK ถ้า CLK มีค่าเป็นโลจิก 1 หรือ 0 หรือ ขอบลบ ค่า Q จงคงค่าเดิมไม่ว่า J และ K จะเป็นอะไรก็ตาม แต่ถ้า CLK เป็น ขอบบวกการทำงานการทำงานจะขึ้นกับอินพุท J K และค่า Q เดิม เช่นถ้า J เป็น 1 และ K เป็น 0 จะเซ็ตฟลิปฟลอป ทำให้ Q เป็น 1 แต่ถ้า J เป็น 0 และ K เป็น 1 จะเป็นการรีเซ็ตฟลิปฟลอป ทำให้ Q เป็น 0 แต่ถ้า J เป็น 0 และ K เป็น 0 ฟลิปฟลอปจะอยู่ในสภาวะจำค่าเดิม Q ไม่เปลี่ยน และถ้า J เป็น 1 และ K เป็น 1 ฟลิปฟลอปจะอยู่ในสภาวะกลับตัว (Toggle) คือ Q จะเปลี่ยนเป็นค่าตรงข้ามกับค่าเดิม



(ก)



(ข)



(ค)

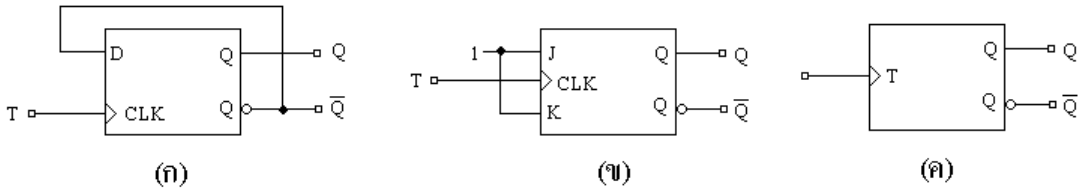
CLK	J	K	Q
0	X	X	NC
1	X	X	NC
↓	X	X	NC
X	0	0	NC
↑	0	1	0
↑	1	0	1
↑	1	1	Toggle

(ง)

รูปที่ 7-11 (ก) วงจรฟลิปฟลอปแบบ JK (ข) ไดอะแกรมเวลา (ค)สัญลักษณ์ (ง) ตารางการทำงาน

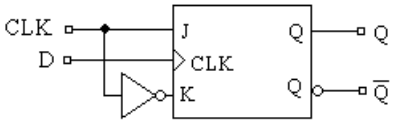
การทำงานที่กล่าวถึงทั้งหมดนี้สามารถตรวจสอบการทำงานได้จากวงจร ไดอะแกรมเวลา และตารางการทำงานในรูปที่ 7-11

อนึ่งการทำงานของฟลิปฟลอปในสภาวะกลับตัว คือ Q เปลี่ยนเป็นจากค่าเดิมเป็นค่าตรงข้ามนี้ สามารถพิจารณาให้เป็นฟลิปฟลอปอีกแบบหนึ่งได้ เรียกว่า “ฟลิปฟลอปแบบ T (T Flip-flop)” ตามรูปที่ 7-12 (ก) เป็นฟลิปฟลอปแบบ T ที่สร้างจาก ฟลิปฟลอปแบบ D และรูปที่ 7-12 (ข) เป็นฟลิปฟลอปแบบ T ที่สร้างจากฟลิปฟลอปแบบ JK สำหรับสัญลักษณ์ของฟลิปฟลอปแบบ T อยู่ในรูปที่ 7-12 (ค)



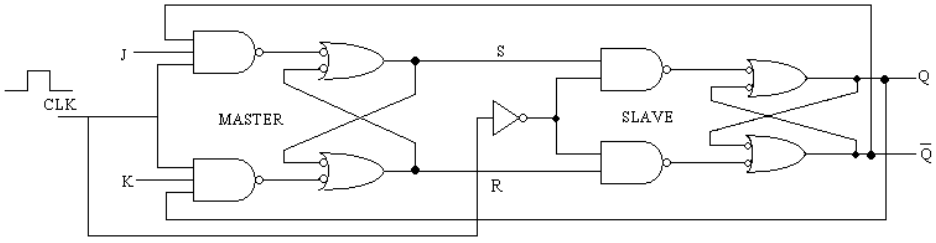
รูปที่ 7-12 (ก) และ (ข) วงจรฟลิปฟลอปแบบ T (ค) สัญลักษณ์

ในรูปที่ 7-13 แสดงการดัดแปลงฟลิปฟลอปแบบ JK ให้มีการทำงานเหมือนกับฟลิปฟลอปแบบ D



รูปที่ 7-13 วงจรฟลิปฟลอปแบบ D ที่สร้างจากฟลิปฟลอปแบบ JK

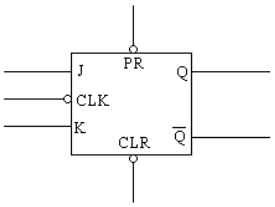
ฟลิปฟลอปแบบ JK Master-Slave



(ก)

PR	CLR	CLK	J	K	Q
0	0	X	X	X	*
0	1	X	X	X	1
1	0	X	X	X	0
1	1	X	0	0	NC
1	1	⎍	0	1	0
1	1	⎍	1	0	1
1	1	⎍	1	1	Toggle

(ข)

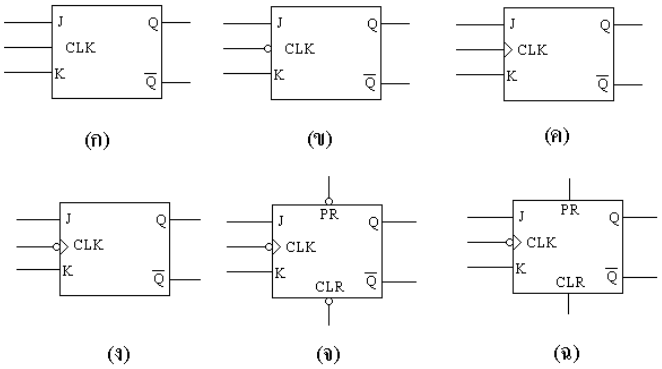


(ค)

รูปที่ 7-14 (ก)วงจรฟลิปฟลอปแบบ JK Master-Slave (ข) ตารางการทำงาน และ (ค) สัญลักษณ์

จากวงจรในรูปที่ 7-11 (ก) เมื่ออินพุท J และ K เป็น 1 ทั้งคู่ การทำงานของวงจรอยู่ในสภาวะกลับตัว Q จะเปลี่ยนค่าเป็นค่าตรงข้าม (คือจาก 1 กลายเป็น 0 หรือ จาก 0 กลายเป็น 1) ทุกครั้งที่มีสัญญาณนาฬิกา CLK มากระตุ้น ดังนั้นวงจรในรูปนี้จึงต้องใช้สัญญาณนาฬิกาที่กระตุ้นด้วยขอบ ไม่ว่าจะเป็นขอบบวกหรือขอบลบก็ตาม เพื่อว่าใน 1ไซเคิลของสัญญาณนาฬิกาจะเกิดการกระตุ้นเพียงครั้งเดียว แต่ถ้าเอาวงจร R C ออก เพื่อให้เป็นการกระตุ้นด้วยระดับโลจิก (1 หรือ 0 ก็ได้) การทำงานจะเกิดอาการที่เรียกว่าสัญญาณวิ่ง (Racing) คือสัญญาณจะเปลี่ยนค่าตลอดเวลาที่สัญญาณนาฬิกาเป็นระดับที่วงจรทำงานได้ ดังนั้นเพื่อแก้ปัญหานี้ จึงเปลี่ยนแปลงวงจรฟลิปฟลอปแบบ JK เป็นฟลิปฟลอปแบบ JK ชนิด Master-Slave ดังรูปที่ 7-14 (ก) วงจรแบบนี้การทำงานในแต่ละครั้งต้องใช้สัญญาณครบไซเคิล คือต้องมีทั้งระดับโลจิก 1 และ 0 โดยชุด master ที่มีอินพุทเป็น JK และเอาท์พุทเป็น RS จะทำงานได้ต้องใช้การกระตุ้นด้วยระดับโลจิก 1 ของ CLK ส่วนชุด slave ที่มีอินพุทเป็น RS และเอาท์พุทเป็น Q จะทำงานได้ต้องใช้การกระตุ้นด้วยระดับโลจิก 0 ของ CLK ดังนั้นถึงแม้ว่าสัญญาณ Q ถูกป้อนกลับไปยังอินพุทด้าน JK ก็จะยังไม่เกิดการทำงานขึ้นเพราะว่าในขณะที่ชุด slave ทำงาน CLK เป็น 0 ต้องรอให้ CLK เป็น 1 ชุด master จึงจะทำงานได้ ซึ่งเมื่อถึงตอนนั้นชุด slave ก็จะหยุดทำงานบ้าง เมื่อเป็นเช่นนี้ก็ไม่เกิดการวิ่งของสัญญาณขึ้น

กล่าวโดยสรุปแล้วการทำงานของฟลิปฟลอปส่วนใหญ่ถูกควบคุมด้วยสัญญาณนาฬิกา การกระตุ้นของสัญญาณนาฬิกามี 4 ชนิดคือ กระตุ้นด้วยระดับโลจิก 2 ชนิด 0 กับ 1 และกระตุ้นด้วยขอบ 2 ชนิด ขอบบวกกับขอบลบ นอกจากนี้ยังมีสัญญาณควบคุมพรีเซ็ตกับเคลียร์เพื่อใช้กำหนดสถานะเริ่มการทำงาน การกระตุนของสัญญาณทั้งสองนี้มี 2 ชนิดคือ โลจิก 0 และ 1 ตามตัวอย่างสัญลักษณ์ที่แสดงอยู่ในรูปที่ 7-15 นี้



รูปที่ 7-15 สัญลักษณ์ฟลิปฟลอปแบบต่างๆ

(ก) สัญญาณนาฬิกากระตุ้นด้วยระดับโลจิก 1

(ข) สัญญาณนาฬิกากระตุ้นด้วยระดับโลจิก 0

(ค) สัญญาณนาฬิกากระตุ้นด้วยขอบบวก

(ง) สัญญาณนาฬิกากระตุ้นด้วยขอบลบ

(จ) สัญญาณควบคุมพรีเซ็ตและเคลียร์ทำงานด้วยโลจิก 0

(ฉ) สัญญาณควบคุมพรีเซ็ตและเคลียร์ทำงานด้วยโลจิก 1

7.3 เครื่องมือ

เนื่องจากการทำงานของวงจรซีเควนเชียลนั้น สัญญาณเอาท์พุทจะขึ้นอยู่กับสัญญาณอินพุท และค่าเอาท์พุทเดิม ดังนั้นเครื่องมือที่ใช้ในการวิเคราะห์และออกแบบจึงแตกต่างจากเครื่องมือที่ใช้ในวงจรคอมไบเนชั่นนอล เครื่องมือที่ใช้วิเคราะห์และออกแบบมีอยู่ด้วยกันหลายตัว เช่น Circuit Delay model Characteristic equation Characteristic หรือ present state (PS) / next state(NS) table สเตทไดอะแกรม และผังคาร์โนห์ (Karnaugh map) เป็นต้น

7.3.3 Circuit Delay Model

จากรูปที่ 7-4 (ก) วงจรฟลิปฟลอปแบบ RS ใช้เกต NOR เอาท์พุท Q จะเป็น 1 เมื่อ อินพุท S = 1 และ R = 0 และ Q จะเปลี่ยนเป็น 0 เมื่ออินพุท S = 0 และ R = 1 ถ้าต้องการหาสมการที่ใช้อธิบายพฤติกรรมของวงจร ต้องหาสมการ Q กำหนดให้ $X = \overline{Q}$

$$Q = \overline{(R + X)}$$

$$X = \overline{(S + Q)}$$

เมื่อแทนค่า X จะได้เป็น

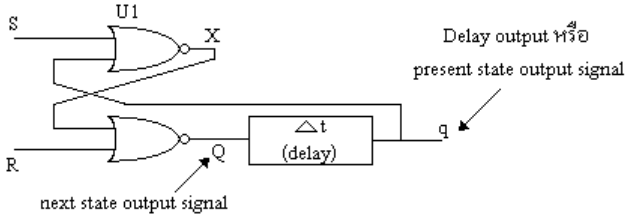
$$Q = \overline{(R + \overline{(S + Q)})} \qquad (7.1)$$

ตามสมการที่ (7.1) นี้ปรากฏว่ามี Q อยู่ทั้งสองข้างของสมการ จึงไม่สามารถใช้สมการนี้ในการหาค่า Qได้ ดังนั้นวงจรในรูปที่ 7-4 (ก) จึงไม่สามารถใช้หาสมการบูลีนของฟลิปฟลอปได้

วงจรในรูปที่ 7-16 เป็นวงจรฟลิปฟลอปแบบ RS ที่เพิ่มค่าเวลาหน่วงของวงจร Δt ลงในวงจร และกำหนดชื่อสัญญาณใหม่ให้ q เป็นสถานะเอาท์พุทปัจจุบัน (present state output signal) และ Q เป็นสถานะใหม่ที่จะเกิดขึ้นหลังจากมีการเปลี่ยนแปลงสัญญาณใดๆในวงจร หรือหลังจากวงจรถูกกระตุ้นให้ทำงานด้วยสัญญาณนาฬิกา เรียกว่า “next state output signal” บางครั้งก็เรียก Q ว่าเป็น “ excitation input signal” เพราะว่า Q เป็นอินพุทของบล็อก Δt (Delay) ความสัมพันธ์ของ q กับ Q ก็คือ

$$q = Q \quad \text{เมื่อเวลาผ่านไป } \Delta t$$

การเขียนวงจรแบบนี้เรียกว่า Circuit delay Model ของ S-R NOR Latch



รูปที่ 7-16 Circuit delay Model ของ S-R NOR Latch

7.3.4 Characteristic Equation

สัญญาณ Q สามารถเขียนเป็นฟังก์ชั่นของ S, R และ q ได้เหมือนกับการเขียนฟังชั่นก์วงจรคอมไบเนชั่น ดังนี้

$$Q = \overline{(R+X)} = \overline{(R+\overline{(S+q)})} \quad (7.2)$$

$$Q = \overline{R}.(S+q) = \overline{R}.S + \overline{R}.q \quad (7.3)$$

ฟังก์ชั่นบูลีนตามสมการที่ (7.3) เรียกว่า “Characteristic Equation” สมการนี้เป็น Sequential Logic function และเมื่อพิจารณาจากสมการ สามารถกล่าวได้อย่างง่ายๆว่า ค่าของ Q (next state) เป็นฟังก์ชั่นของอินพุท S R และ ค่าเอาท์พุท q (ค่าเดิมของเอาท์พุท) สำหรับ Characteristic Equation ของฟลิปฟลอปแบบอื่นๆก็สามารถหาได้เป็น

ฟลิปฟลอปแบบ D $Q = D$ (7.4)

ฟลิปฟลอปแบบ JK $Q = J.\overline{q} + \overline{K}.q$ (7.5)

ฟลิปฟลอปแบบ T $Q = \overline{q}.T + q.\overline{T}$ (7.6)

7.3.5 Present State/Next State Table

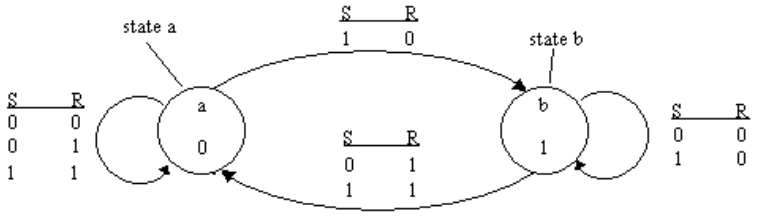
สมการ (7.3) สามารถเขียนเป็นตารางความจริงได้ดังนี้

ตารางที่ 7-1 ตาราง PS/NS

q	S	R	Q	x(หลังจาก Δ t)	สถานะ
0	0	0	0	1	เสถียร
0	0	1	0	1	เสถียร
0	1	0	1	0	ไม่เสถียร*
0	1	1	0	0	เสถียร
1	0	0	1	0	เสถียร
1	0	1	0	1	ไม่เสถียร*
1	1	0	1	0	เสถียร
1	1	1	0	0	ไม่เสถียร*

ตารางที่ 7-1 นี้เรียกว่า “คาราง present state / Next state table (หรือ PS / NS table)” ตามตารางเมื่อให้ q, S และ R เป็นสัญญาณอินพุทและ Q เป็นสัญญาณเอาท์พุท การพิจารณาก็จะเหมือนกันตารางความจริงแบบทั่งๆไป แต่มีข้อมูลที่ต้องพิจารณาเป็นพิเศษก็คือ เอาท์พุท Q ถ้า Q มีโลจิกเหมือนกับอินพุท q แสดงว่าวงจรอยู่ในสภาวะเสถียร (Stable State) คือ q จะไม่เปลี่ยนแปลงหลังจากเวลาผ่านไป Δt ส่วนในอีกกรณีหนึ่ง Q ไม่ตรงกับ q แสดงว่าวงจรไม่อยู่ในสภาวะเสถียร (unstable state) เพราะว่า q จะเปลี่ยนแปลงไปเมื่อเวลาผ่านไป Δt สังเกตสัญญาณเอาท์พุท x จะตรงกันข้ามกับสัญญาณ Q เสมอยกเว้นในกรณีที่ S = 1, R = 1 จะได้เอาท์พุท X = Q เป็นกรณีที่ต้องหลีกเลี่ยงอย่าให้เกิด สาเหตุที่เป็นเช่นนี้ถ้าสังเกตจากวงจรจะเห็นได้ง่ายๆ คือทั้งอินพุท S และ R ต่างก็พยายามจะ เซ็ต และ รีเซ็ต เอาท์พุท Q ด้วยกัน ซึ่งเป็นการทำงานที่ไม่ควรเกิดขึ้น

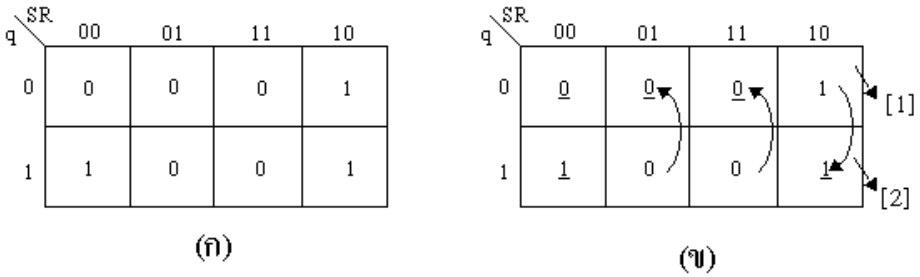
7.3.6 สเตทไดอะแกรม (State Diagram)



รูปที่ 7-17 สเตทไดอะแกรมของฟลิปฟลอปแบบ RS ชนิดเกต NOR

สเตทไดอะแกรมเป็นวิธีการอธิบายการทำงานของวงจรซีเควนเชียลด้วยวิธีทางกราฟ ตามรูปที่ 7-17 เป็นสเตทไดอะแกรมของฟลิปฟลอปแบบ RS ชนิดเกต NOR วงกลมจะแทนสถานะเอาท์พุทของวงจร เรียกว่าสเตท ตามตารางที่ 7-1 ค่าเอาท์พุท Q มี 2 ค่าคือ 0 ให้ชื่อว่าสเตท a และค่า Q เท่ากับ 1 ให้ชื่อว่าสเตท b ลูกศรแทนการเปลี่ยนสถานะเอาท์พุทจากสถานะปัจจุบันไปยังสถานะใหม่ โดยจะเขียนค่าของอินพุทกำกับด้วย เช่นถ้าปัจจุบันวงจรอยู่ที่สเตท a แล้วอินพุท S = 0 และ R = 1 สถานะใหม่ก็ยังคงเป็น a แต่ถ้า S = 1 และ R = 0 สถานะใหม่จะเป็น b คือ Q เป็น 1

7.3.7 ผังคาร์โนห์ (Karnaugh Map)



รูปที่ 7-18 แสดงผังคาร์โนห์ของฟลิปฟลอปแบบ RS ชนิดเกต NOR

ผังคาร์โนห์เป็นผังที่เขียนมาจากตาราง PS/NS โดยให้ด้านแนวนอนเป็นค่าสถานะปัจจุบัน q และแนวตั้งเป็นค่าอินพุท RS ค่าในตารางจะแสดงผลลัพธ์ของ Q เช่นในขณะที่ S = 1 R = 0 และ q = 0 จะได้ Q = 1 ตามรูปที่ 7-18 (ก) แสดงการเขียนผังคาร์โนห์ของฟลิปฟลอปแบบ RS ชนิดเกต NOR ส่วนในรูปที่ 7-18 (ข) แสดงการเขียนผังคาร์โนห์ โดยเน้นสถานะที่วงจรเสถียร เช่นเมื่อ q = 0 R = 0 และ S = 0 ได้ค่า Q เป็น 0 อยู่ในสถานะเสถียร แต่ถ้าเปลี่ยน S จาก 0 ให้กลายเป็น 1 ค่า Q จะกลายเป็น 1 ซึ่งเป็นสถานะไม่เสถียร (ช่อง [1]) เมื่อเวลาผ่านไป Δt ค่า q จะเปลี่ยนจาก 0 กลายเป็น 1 สถานะวงจรจะลงมาอยู่ช่อง [2] เป็นสถานะเสถียร ค่าที่ขีดเส้นใต้ผังแสดงสถานะวงจรที่เสถียร

7.3 การลดสภาวะ (State Reduction)

การลดสภาวะ มีจุดมุ่งหมายเช่นเดียวกับการลดทอนฟังก์ชั่นบูลีน คือต้องการลดความซับซ้อนของวงจรลง เมื่อจำนวนสภาวะลดลง จำนวนอุปกรณ์ที่ใช้ในวงจรก็ลดลง และอาจทำให้จำนวนฟลิปฟลอปที่ใช้ในวงจรลดลงด้วย สภาวะที่จะลดได้ต้องเป็นสภาวะที่มีคุณสมบัติทัดเทียมกัน (Equivalent State) ซึ่งต้องมีคุณสมบัติดังต่อไปนี้

ถ้าให้ a และ b เป็น PS (Present State) และมี A, B เป็น NS (Next State) ตามลำดับ a และ b ทัดเทียม (Equivalent) กันเมื่อทุกๆ ค่าอินพุททำให้

(ก) เอาท์พุทของ a และ b เหมือนกัน

(ข) Next State A และ B ทัดเทียมกัน

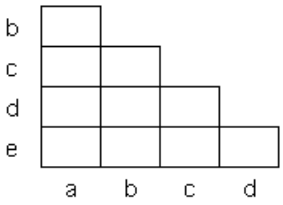
ถ้ามีสภาวะที่ทัดเทียมกันหลายสภาวะ สามารถตัดสภาวะนั้นออกให้เหลือเพียงสภาวะเดียวได้ โดยไม่ทำให้การทำงานของวงจรเปลี่ยนไป การลดสภาวะมีหลายวิธี การใช้ตารางอิมพลิเคชั่น (Implication Table) เป็นวิธีที่มีขั้นตอนที่เข้าใจง่าย ดังตัวอย่างต่อไปนี้

ตัวอย่างที่ 7.1 จากตารางสภาวะ ต่อไปนี้จงลดทอน

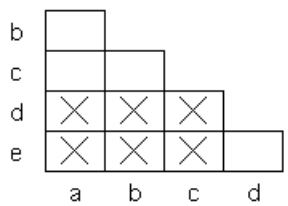
PS \ X	0	1
a	c/1	a/0
b	c/1	e/0
c	b/1	e/0
d	d/0	b/1
e	e/0	a/1

NS/Output

ขั้นที่ 1 เขียนตารางอิมพริเคชั่น โดยใช้ สภาวะ PS ใส่ลงในแนวนอนและแนวตั้ง โดยแนวนอนเริ่มจากซ้ายไปขวา เขียนเรียงจาก a ไปเรื่อยๆยกเว้นสภาวะสุดท้าย คือ a ถึง d และแนวดิ่งก็ใช้จากบนลงล่างเขียนเรียงจาก b ยกเว้นสภาวะสุดท้าย คือ b ถึง e ตารางนี้จะแทน State แต่ละคู่ที่เท่าเทียมกัน



ขั้นที่ 2 กากบาท X ลงบนคู่สภาวะที่ให้เอาท์พุทไม่เท่ากัน



ช่องที่ไม่ได้กากะบาทคือคู่สภาวะที่มีคุณสมบัติตามข้อ 1)

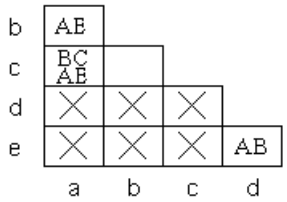
ขั้นที่ 3 ในช่องที่ว่างให้พิจารณา Next State ของคู่ State นั้นถ้า Next State ไม่เหมือนกับ Present State และไม่เหมือนกันทั้งคู่ให้นำ Next State มาเติมลงในช่องว่างของคู่นั้น เช่น

คู่ ab มี NS เป็น C กับ C ซึ่งซ้ำกันและ A กับ E ไม่ซ้ำกันและไม่ตรงกับ PS ab ดังนั้นเติม AE ลงในช่อง AB

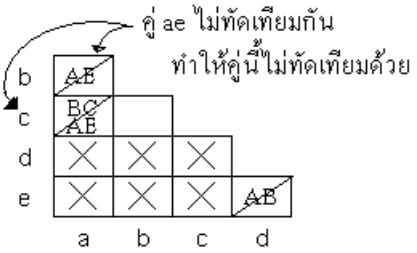
คู่ ac มี NS เป็น B กับ C และ A กับ E ไม่ซ้ำกันและไม่ตรงกับ PS ac ดังนั้นเติม BC และ AE ลงในช่อง ac

คู่ bc มี NS เป็น C กับ B ซึ่งเหมือนกับ PS และ E กับ E ซึ่งซ้ำกันดังนั้นช่อง bc ไม่ต้องเติมอะไร

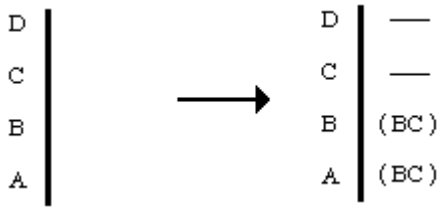
คู่ de มี NS เป็น D กับ E ซึ่งเหมือนกับ PS และ A กับ B ไม่ซ้ำกันและไม่ตรงกับ PS ดังนั้นเติม AB ลงในช่อง de



ขั้นที่ 4 จากค่า NS ที่เติมลงในตาราง ให้พิจารณาดูว่า NS แต่ละคู่นั้น เมื่อเป็น PS จะทัดเทียมกันหรือไม่ โดยดูจากคู่ PS ถ้าคู่ใดถูกกากะบาททับไว้แล้ว แสดงว่า NS คู่นั้นไม่เท่ากันให้กาทับ NS คู่นั้นด้วย (/) แล้วพิจารณาดูด้วยว่าช่องที่กานี้มี PS เป็นอะไร ซึ่งจะทำให้ PS คู่นี้เมื่อพิจารณาเป็น NS ไม่เท่ากันต่อไปด้วย

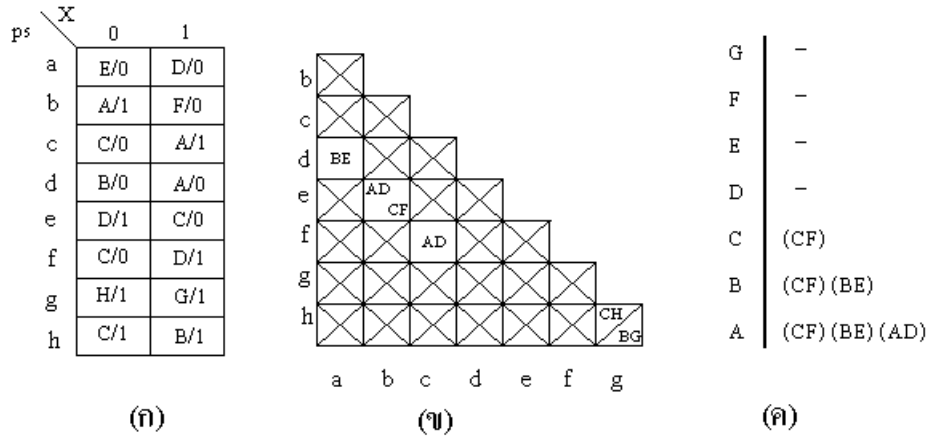


ขั้นที่ 5 นำค่า PS มาเขียน Equivalent Partition โดยนำค่า PS ในแนวนอนมาเขียนเรียงในแนวตั้ง โดยยกเว้น State สุดท้าย แล้วพิจารณาคู่ PS ในตารางจากช่องขวาไปทางซ้ายถ้ามีช่องใดไม่ถูกกาทับให้ยกคู่ PS ของช่องนั้นมาเขียนดังนี้



ดังนั้นคู่ BC เท่ากัน สภาวะจึงเหลือ (A) (BC) (D) (E) สภาวะ B และ C เหลือเพียงสภาวะเดียว

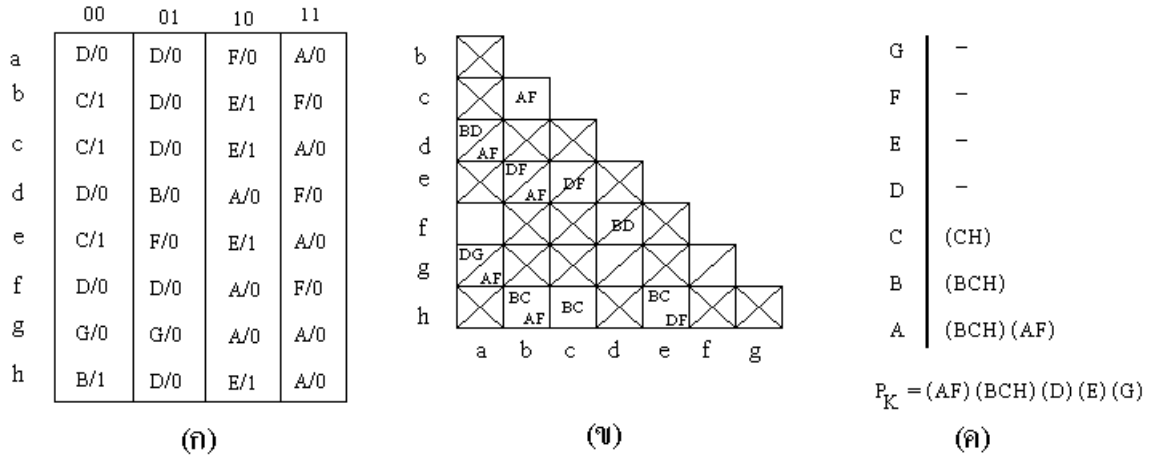
ตัวอย่างที่ 7.2 จากตารางสภาวะในรูปที่ 7-19 (ก) จงลดทอนสภาวะ



รูปที่ 7-19 (ก) ตารางสภาวะ (ข) ตารางอิมพลิเคชั่น (ค) Equivalent Partition

สภาวะทั้งหมด (AD) (BE) (CF) (G) (H)

ตัวอย่างที่ 7.3 จากตารางสภาวะในรูปที่ 7-20 (ก) จงลดทอนสภาวะ

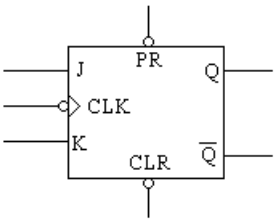


รูปที่ 7-20 (ก) ตารางสภาวะ (ข) ตารางอิมพลิเคชั่น (ค) Equivalent Partition

แบบฝึกหัด

1. ***จงเติมสภาวะเอาท์พุทของฟลิปฟลอปให้สมบูรณ์***

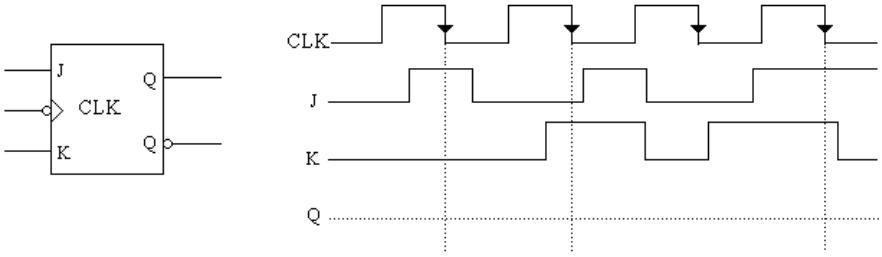
1.1 ฟลิปฟลอปแบบ JK



CLK	PR	CLR	J	K	Q
0	1	1	0	0	0
1	0	1	0	1	
1	1	1	0	1	
↓	1	1	0	1	
↑	1	1	1	0	

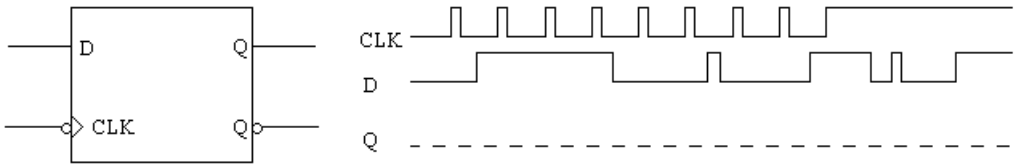
รูปที่ 7-21

1.2 ฟลิปฟลอปแบบ JK



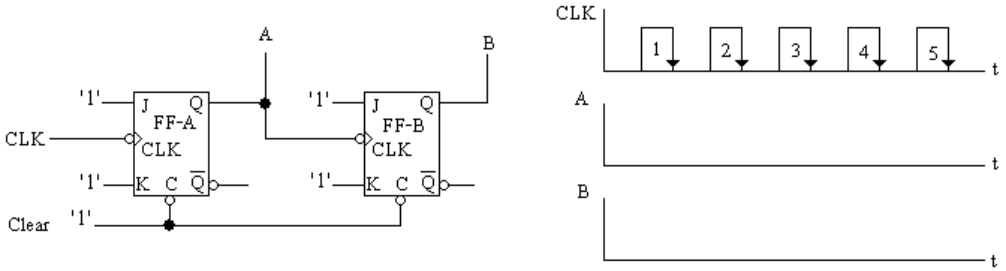
รูปที่ 7-22

1.3 ฟลิปฟลอปแบบ D



รูปที่ 7-23

2. จงเขียนไดอะแกรมเวลาของจุด A และ B เมื่อเทียบกับสัญญาณนาฬิกา CLK

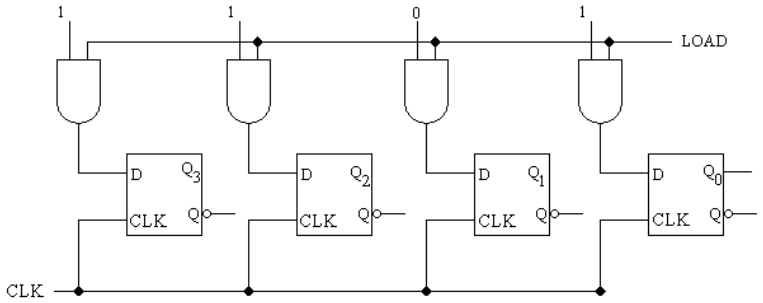


รูปที่ 7-24

3. จากวงจรในรูปที่ 7-25

ถ้า LOAD = 0 หลักจากมีสัญญาณ CLK มากระตุ้น (CLK = 1) Q3 Q2 Q1 Q0 = ……

ถ้า LOAD = 1 หลักจากมีสัญญาณ CLK มากระตุ้น (CLK = 1) Q3 Q2 Q1 Q0 = ……



รูปที่ 7-25

4. จงเขียน ตาราง PS/NS เสตทไดอะแกรม และผังคาร์โนห์ของฟลิปฟลอปต่อไปนี้

4.1 ฟลิปฟลอปแบบ D ในรูปที่ 7-9

4.2 ฟลิปฟลอปแบบ JK ในรูปที่ 7-14

5. จงลดสภาวะของตารางสภาวะในรูปที่ 7-26 และ รูปที่ 7-27

	Next State/Output z	
Present State	input x = 0	input x = 1
a	D/0	B/1
b	F/0	F/0
c	H/1	F/0
d	A/1	H/0
e	C/0	D/1
f	G/0	D/1
g	B/1	E/0
h	F/0	E/0

รูปที่ 7-26

	Next State/Output z	
Present State	input x = 0	input x = 1
a	B/0	C/0
b	C/0	A/0
c	G/0	D/0
d	F/0	G/1
e	B/0	C/0
f	G/0	H/0
g	C/0	A/0
h	A/0	E/0

รูปที่ 7-27